



(19)

(11) Publication number: 2000286706 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11089335

(51) Intl. Cl.: H03M 1/50

(22) Application date: 30.03.99

(30) Priority:

(43) Date of application
publication: 13.10.00(84) Designated
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: SUGIKI TADASHI

(74) Representative:

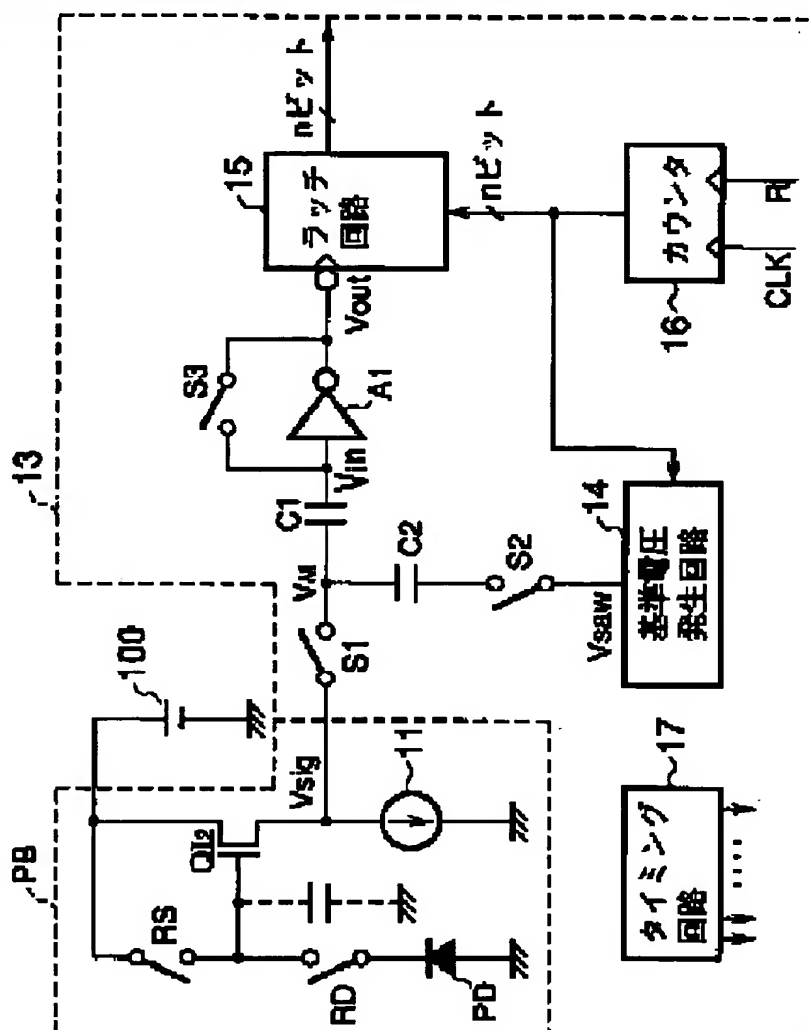
(54) A/D CONVERTER

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a stable A/D conversion characteristic.

SOLUTION: A reference voltage generating circuit 14 outputs a variable reference voltage and adds it to a difference component V_M between sampled components at two points of time read from a pixel section PB. When an input to an inverter A1 exceeds a threshold of the inverter A1 on the way of the varied reference voltage, an output of the inverter A1 is changed to allow a latch circuit 15 to latch a count of a counter 16. The latched data are equivalent to a midway of a slope of a waveform of the reference voltage and the latch circuit 15 obtains a digital output suiting the difference component. Controlling the waveform of the reference voltage allows the A/D conversion characteristic to obtain a desired characteristic.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-286706

(P2000-286706A)

(43)公開日 平成12年10月13日 (2000. 10. 13)

(51)Int.Cl.⁷

H 0 3 M 1/50

識別記号

F I

H 0 3 M 1/50

特コード(参考)

5 J 0 2 2

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号

特願平11-89335

(22)出願日

平成11年 3 月30日 (1999. 3. 30)

(71)出願人 00003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 杉木 忠

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝マルチメディア技術研究所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

Fターム(参考) 5J022 AA07 BA04 CB01 CE05 CE08

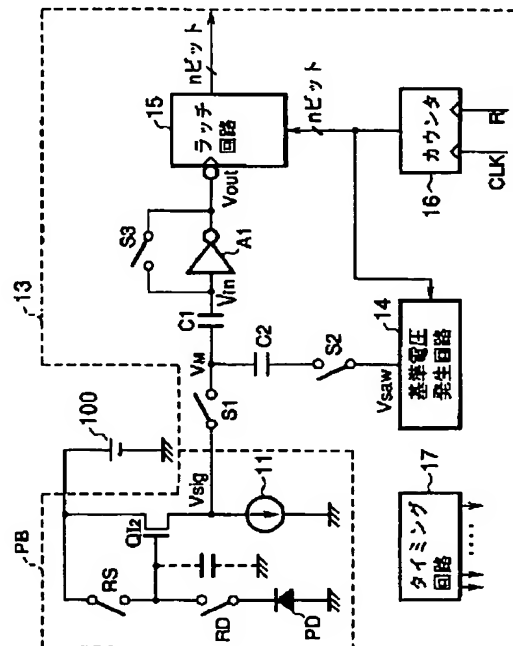
CF01 CF07 CF10

(54)【発明の名称】 アナログデジタル変換器

(57)【要約】

【課題】安定したアナログデジタル変換特性を得る。

【解決手段】画素部PBから読み出した2時点のサンプル成分の差成分VMに対して、基準電圧発生回路14から出力され、可変する基準電圧が加算される。その変化の途中でインバータA1の閾値をオーバーするとインバータA1の出力が変化し、カウンタ16のカウント値をラッチ回路15がラッチする。このラッチデータは、基準電圧の波形のスロープの途中に相当し、ラッチ回路としては、差成分に見合うデジタル出力を得る。ここで基準電圧波形を制御することによりアナログデジタル変換特性を所望の特性にすることができる。



【特許請求の範囲】

【請求項 1】 直流成分に多重されて出力される信号成分を隣接する 2 時点でサンプリングし、そのサンプル成分の差成分と、デジタル値に応じて変化する基準電圧波形とを比較し、一致したときに対応する前記デジタル値を出力する単一スロープ型アナログデジタル変換器において、

前記基準電圧波形のアナログデジタル変換前の期間に、アナログデジタル変換時との単調性を保持するとともに、前記差成分と前記基準電圧波形とを比較する電圧比較器の出力電圧が前記差成分によらず同一の電圧から開始されるに足りる、信号期間を設けたことを特徴とするアナログデジタル変換器。

【請求項 2】 前記基準電圧波形のアナログデジタル変換前の期間に設けられる波形は、前記アナログデジタル変換を実行する部分の波形を延長したものであることを特徴とする請求項 1 記載のアナログデジタル変換器。

【請求項 3】 前記基準電圧波形のアナログデジタル変換前の期間に設けられる波形は、固定振幅のランプ波形であることを特徴とする請求項 1 記載のアナログデジタル変換器。

【請求項 4】 前記基準電圧波形のアナログデジタル変換前の期間に設けられる波形は、方形波的な波形であることを特徴とする請求項 1 記載のアナログデジタル変換器。

【請求項 5】 前記直流成分に多重されて出力される信号成分は、固体撮像素子の画素から読み出された信号成分であることを特徴とする請求項 1 記載のアナログデジタル変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アナログデジタル変換器に関するものであり、例えば固体撮像素子に内蔵して有効な回路である。

【0002】

【従来の技術】固体撮像素子に有効なアナログデジタル変換器として、例えば特開平 9-238286 号公報に記載された技術がある。しかしながら、アナログデジタル変換特性としてさらなる改善が必要であることに本件発明者は注目するものである。

【0003】

【発明が解決しようとする課題】上記のアナログデジタル変換器は、画素から直流成分に多重されて出力される信号成分を隣接する 2 時点でサンプリングし、そのサンプル成分の差成分と、デジタル値に応じて変化する基準電圧波形とを比較し、一致したときに対応する前記デジタル値を出力する単一スロープ型アナログデジタル変換器である。

【0004】しかしこのアナログデジタル変換器では、微小な入力電圧があったときと、ある所定の電圧を超え

る入力電圧があったときの変換特性に感度の違いがある。このような違いがあると、固体撮像素子を暗い環境で使用した場合と明るい環境で使用した場合の解像度が異なることになる。

【0005】そこでこの発明は、安定したアナログデジタル変換特性を得ることができるとアナログデジタル変換器を提供することを目的とする。

【0006】

【課題を解決するための手段】この発明は、上記の目的を達成するために、直流成分に多重されて出力される信号成分を隣接する 2 時点でサンプリングし、そのサンプル成分の差成分と、デジタル値に応じて変化する基準電圧波形とを比較し、一致したときに対応する前記デジタル値を出力するアナログデジタル変換器とする。ここで、前記基準電圧波形のアナログデジタル変換前の期間には、予め特定の信号期間を設ける。この信号期間は、前記基準電圧波形のアナログデジタル変換時の単調性を保持するとともに、前記差成分と前記基準電圧波形とを比較する電圧比較器の出力電圧が前記差成分によらず同一の電圧から開始されるに足りるような信号期間とするものである。

【0007】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して説明する。

【0008】図 1 において、破線で囲む部分 P8 は、固体撮像素子の画素部であり、光電変換素子 PD のカソードは、直列にリセットスイッチ素子 RD、読み出しスイッチ素子 RS を介して直流電源 100 に接続されている。スイッチ素子 RD と RS の接続点は、電流増幅素子 Q1 のゲートに接続されている。この電流増幅素子 Q1 の一方の電極（ドレイン）は、直流電源 100 に接続され、他方の電極（ソース）は、定電流源 11 を介して接地されている。

【0009】またこの電極（ソース）は、信号出力ノードとして引き出され、アナログデジタル（AD）変換部 13 に導かれている。AD 変換部 13 は、スイッチ素子 S1 が入力ノードに設けられる。このスイッチ素子 S1 の出力ノードは、コンデンサ C1 と C2 の各一方の電極に接続されている。コンデンサ C2 の他方の電極には、スイッチ素子 S2 を介して基準電圧発生回路 14 からの基準電圧が供給されるように構成される。コンデンサ C2 の他方の電極は、インバータ A1 とスイッチ素子 S3 との並列回路を介してラッチ回路 15 のゲート信号入力端に接続されている。

【0010】ラッチ回路 15 には、カウンタ 16 からのカウントデータが供給されている。また、このカウントデータは、基準電圧発生回路 14 にも供給されている。基準電圧発生回路 14 は、カウントデータの値に対応した振幅の電圧を出力する。タイミング回路 17 は、各スイッチ素子をオンオフさせるためのタイミングパルスや

カウンタ16のリセットパルス及びクロックを出力する回路である。

【0011】図2には、上記の回路の動作を説明するための波形を示している。

【0012】リセットパルス(図2(a))によりスイッチ素子RSがオンすると、電流増幅素子Q1のゲートを高電位にする。すると電流増幅素子Q1の出力電圧Vsigが高電位となり、次にスイッチ素子RSがオフ、スイッチ素子S1がオンされ、更にスイッチ素子S3がオンされる。すると、出力電圧Vsigの電位VaとVthの差電圧、つまり

(Va-Vth)がコンデンサC1に蓄えられる。Vthは、インバータA1の閾値電圧である。

【0013】次に、スイッチ素子S1のオン状態は維持し、スイッチ素子RDをオンする。つまり光電変換素子(フォトダイオード)PDに蓄積されている信号電荷を電流増幅素子Q1のゲートに転送する。すると、電流増幅素子Q1の出力電圧Vsigは、信号電荷(光電変換量)に応じた電圧となる。ここでスイッチ素子S2をオンする。すると、このときの出力電圧Vbと基準電圧Vsawとの差電圧、つまり(Vb-V0)がコンデンサC2に蓄えら

れる。

【0014】次にスイッチ素子S1がオフされ、スイッチ素子S2のオン状態が維持され、基準電圧Vsawがカウンタ16のカウント値に基づいて可変される。これにより基準電圧Vsawは、順次増加又は減少する。スイッチ素子S1がオフした後は、スイッチ素子S2のみのオン状態が維持される。

【0015】ここで、インバータA1の入力電圧Vinを見ると $V_{in} = V_{saw} + (V_b - V_0) - (V_a - V_{th})$ となる。この式を変形すると $V_{in} = V_{th} + (V_b - V_a) + (V_{saw} - V_0)$ となる。つまりインバータA1の入力電圧Vinは、閾値電圧Vthと、入力電圧を2時点でサンプリングした電圧の電位差(Va-Vb)と、基準電圧の変化幅(Vsaw-V0)との和となる。ここで基準電圧の変化幅(Vsaw-V0)と、電位差(Va-Vb)との和がゼロとなったときに、 $V_{in} = V_{th}$ (閾値電圧)となり、インバータA1は反転することができる。

【0016】基準電圧の変化幅(Vsaw-V0)と、電位差(Va-Vb)との和がゼロとなることは、 $(V_{saw} - V_0) + (V_a - V_b) = 0$ であり、 $(V_a - V_b) = -(V_{saw} - V_0)$ と表わせる。図2の(g)には基準電圧Vsawの変化の様子を示し、 $V_{saw} - V_0 = V_1$ が閾値Vthと等しくなった場合を示している。このときは、インバータA1の出力電圧Voutは、ハイレベルVHからローレベルVLに変化する。

【0017】このとき、ラッチ回路15では、カウンタ16のカウント値をラッチする。このラッチ回路15のデジタル出力がアナログデジタル変換出力である。

【0018】上記のアナログデジタル変換器は電流増幅素子Q1の出力側の信号線に重畳される直流成分(雑音

成分)に対しては感度を持たず、雑音低減回路として機能する。

【0019】図3は、上記のアナログデジタル変換器の変換特性を説明するために示した図である。理想的な変換特性は、特性線3Aで示すように直線であるべきである。しかしながら、実際には、特性線3Bで示すように、入力信号のレベルが低い範囲では、変換特性の変化傾斜が他の範囲より大きい。このような特性線3Bで示す特性であると、薄暗い環境で被写体を撮像したときに、映像の白部分と黒い部分との輝度変化が激しく不自然となる。またカラーカメラを構成した場合にはRGBの感度が異なり、結果として色毎に非線形状が異なるため無彩色の被写体に着色現象が発生してしまう。

【0020】このような特性を改善するために、この変換器では、基準電圧の波形に対して後述するような対策を図っている。

【0021】まず、上記のような特性線3Bが生じる原因を検討すると、図4に示すように、インバータA1と並列に寄生容量Cpが生じていることが起因している。

【0022】ここでインバータA1の出力電圧の変化範囲(VHとVLとの間)は有限である。インバータA1の出力電圧が変化している途中で、インバータA1の入力静電容量がミラー効果により大きくなる。

【0023】図5には、A1の閾値付近(出力電圧が変換する領域)で入力静電容量が大きくなった様子を示している。また図6(d)には、上記のコンデンサC1側の入力電圧VMが、無信号時と有信号時とでどのように変化するかを示している。無信号時には、VMとVoutは、図6(d)、図6(e)に点線で示すような関係であり、Vthに対するクロスタイミングは、Vsawの変化開始時点と一致する。しかし、入力信号Vbが存在するときは、VMとVoutは、実線で示すような関係であり、図6(d)に示すように、VMがVbまで下がる。この結果、Voutは、Vthに対するクロスタイミングが遅れる、そしてアナログデジタル変換特性はプラス方向のずれを生じる。このずれを表わしたのが、先の図3である。

【0024】そこでこの発明では、入力信号に対する出力デジタル値が理想的な変換特性を持つように工夫するものである。この発明では、図7に示すように、基準電圧Vsawの波形を制御することにより、アナログデジタル変換特性をマイナス方向へ全体的にシフトさせるものである。これにより、変換特性の非線型な部分が使用されるのを無くし、直線的な変換特性が得られるようにしている。

【0025】図8は、この発明の変換器のアナログデジタル変換特性である。

【0026】このような特性とするには、図7(g)のVsawの区間Tで示す範囲をアナログデジタル変換範囲外の振幅とすればよい。このような振幅特性とした場合、入力信号Vbが存在した場合、基準電圧の変化に伴いV

Mは図7(h)の実線で示すように変化する。破線は入力信号が無い場合のVMの変化である。無信号の場合のインバータA1の出力Voutの変化は、図7(j)の破線のように変化した時点t1で閾値に達した後、出力が反転する。また、有信号の場合のインバータA1の出力Voutは、図7(j)の実線のように変化した時点t1で閾値に達した後、出力が反転する。

【0027】つまり、この発明では、基準電圧に対して、そのアナログデジタル変換時との単調性を保持するとともに、入力信号(2点のサンプル電圧の差成分)と基準電圧波形とを比較する電圧比較器(インバータ)の出力電圧が、前記差成分の大きさによらず同一の電圧から開始されるに足る信号期間を設けている。

【0028】従って、上記の基準電圧V_{saw}の波形は、図7(g)に示す波形に限らず、図9(a)のようにAD変換範囲の前の期間Tに、AD変換期間とは変化傾斜が異なる部分を設定してもよい。さらには図9(b)に示すようにAD変換範囲の前の期間Tに、パルス的な波形を重ねてもよい。さらには、期間Tに固定振幅のランプ波形を設けても良いし、方形波的な波形でもよい。

【0029】このような波形を得るのは容易であり、カウンタ16の出力をアナログ変換する基準電圧発生器14において、初期状態のプリセット値を制御する方法、さらにはD/A変換のために次々と読み出される読み出しデータ自体の値を予め所望の波形を得られるように設定しておくことにより可能である。

【0030】上記の実施の形態は、基準電圧の波形を制御することにより、AD変換特性を直線とした。しかしこれに限らず、他の実施の形態も可能である。インバータA1の入出力間に寄生容量C_pが生じないように回路的に対策することも可能である。

【0031】図10には、回路構成により寄生容量C_pの影響を無くし、アナログデジタル変換特性を改善する例を示している。即ち、インバータA1の入力側に直列にバッファアンプA2を接続する。そしてバッファアンプA2の入力側とインバータA1の出力側との間にスイッチS3AとS3Bとを直列接続する。さらにスイッチS3AとS3Bの接続点とアースライン間にスイッチS3Cを接続する。

【0032】このような構成とし、リセット時には、スイッチS3A、S3Bをオンし、基準電圧V_{saw}が変化するとき、スイッチS3Cがオンされて、出力電圧の変化が入力側に及ばないようにすることができる。

【0033】しかしこの構成であると、回路規模の増大、消費電力の増大があるので、これらの増大なく目的を達成しようとするならば、先の実施の形態が好ましい。

【0034】図11はこの発明のアナログデジタル変換器を具体的に固体撮像素子の内部に組み込んだときの一例を示す図である。この実施の形態は、固体撮像素子と

して、撮像部、ノイズキャンセル回路及び制御部を1チップに構成した場合を示している。

【0035】撮像部の1つの画素ブロックPB11を代表してその構成を説明する。この画素ブロックPB11は、電源100と接地電位間には、直列接続されたスイッチ101と受光素子102があり、スイッチ101と受光素子102間の接続点には、増幅器103の入力端子が接続され、この増幅器103の出力端子はスイッチ104を介して信号導出ライン(垂直ライン)VL1に接続されている。

【0036】画素ブロックPB11について代表して説明したが、他の画素ブロックも同様な構成である。画素ブロックPB12~PBnm(m水平方向画素番号、n垂直方向画素番号)についても同様な構成である。画素ブロックPB11、PB12、...PB1mは、第1の水平ライン方向の画素列を示し、画素ブロックPB21、PB22、...PB2mは、第2の水平ライン方向の画素列を示す。各画素ブロック内は同様な構成であるから、同一符号を付している。各画素ブロックの垂直方向の列は、それぞれ信号導出ライン(垂直ライン)VL1~VLmに共通に接続されている。

【0037】各信号導出ラインVL1~VLmには、それぞれノイズキャンセル回路NR1~NRmが接続されている。

【0038】各ノイズキャンセル回路は同じ構成であるから、1つを代表して説明する。信号導出ラインVL1は、スイッチ2-1を介してコンデンサ3-1と4-1の各一方の電極の接続点に接続されている。コンデンサ3-1の他方の電極は、スイッチ5-1を介してD/A変換器311の出力端子に接続されている。

【0039】先のコンデンサ4-1の他方の電極は、比較器として動作するインバータ7-1の入力端子に接続されると共に、スイッチ8-1を介してこのインバータ7-1の出力端子に接続されている。このインバータ7-1の出力端子は、制御部を構成するラッチ回路11-1の駆動パルス入力端Gに接続されている。

【0040】ノイズキャンセル回路NR2に対応して、ラッチ回路11-2が設けられている。このラッチ回路11-2の駆動パルス入力端Gには、ノイズキャンセル回路NR2のインバータ7-1の出力が供給されている。このようにノイズキャンセル回路NR1~NRmに対応してラッチ回路11-1~11-mが設けられており、これらのラッチ回路11-1~11-mは、それぞれ対応するノイズキャンセル回路のインバータの出力が反転した時点で、共通のカウンタ312のカウント値をラッチする。このカウンタ312の出力は、D/A変換器311にも入力されている。

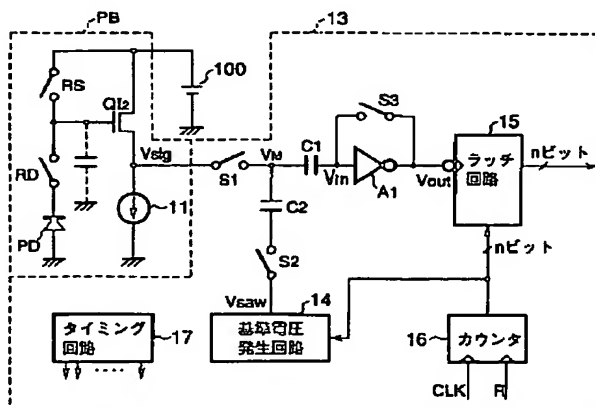
【0041】各ノイズキャンセル回路NR1~NRmの基本動作は、図1で説明した通りであり、複数のノイズキャンセル回路NR1~NRmに対して、D/A変換器

311が共有されている。カウンタ312は、水平ドライブ信号HDの先頭でリセットされ、クロックCLOCKを計数している。この水平ドライブ信号HD及びクロックCLOCKは、タイミング発生器313にも供給されており、各種のスイッチ制御等のタイミング信号を生成している。

【0042】ラッチ回路11-1~11-mに対応して、ラッチ回路12-1~12-mが設けられている。これらは、対応するラッチ回路11-1~11-mにラッチされているデジタル値を、水平ドライブ信号HDのタイミングで一斉にラッチする。ラッチ回路12-1~12-mの出力端子は、走査スイッチ13-1~13-mにそれぞれ接続されている。これらの走査スイッチ13-1~13-mは、1水平期間に次々とオンして、1走査分の撮像素子のデジタル値を出力ライン70に導出する。

【0043】図12(A)~図12(M)には上記の撮像素子の動作例を説明するためのタイミングチャートを示している。図12(A)は水平ドライブ信号(HD)、図12(B)、図12(C)は、垂直ラインVL1、VL2の信号電圧Vin1、Vin2である。図12(D)はスイッチ2-1~2-mがオンオフするタイミング、図12(E)はスイッチ5-1~5-mがオンオフするタイミング、図12(F)はスイッチ8-1~8-mがオンオフするタイミングである。図12(G)はD/A変換器311から得られる基準電圧Vrefを示している。図12(H)と図12(I)には、インバータ7-1の入力と出力を示し、図12(J)と図12(K)には、インバータ7-2の入力と出力を示している。図12(L)、図12(M)には走査スイッチ13-1、13-2のオンオフタイミングを示している。 *30

【図1】



*【0044】

【発明の効果】以上説明したようにこの発明によると安定したアナログデジタル変換特性を得ることができ、良好な撮像素子を得るのに寄与できる。

【図面の簡単な説明】

【図1】この発明の一実施の形態を示す図。

【図2】図1の回路の基本動作を説明するために示した波形図。

【図3】アナログデジタル変換特性の問題点を説明する図。

【図4】比較器に生じる問題点を説明するための図。

【図5】図4の回路の寄生容量の影響を説明する図。

【図6】アナログデジタル変換動作における問題点を波形で説明するための図。

【図7】本発明の一実施の形態における波形を示す図。

【図8】本発明の一実施の形態によりアナログデジタル変換を行った場合の変換特性を示す図。

【図9】本発明の一実施の形態における波形を示す図。

【図10】この発明の他の実施の形態を示す図。

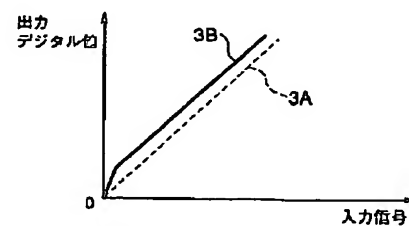
【図11】この発明のアナログデジタル変換器が適用された固体撮像素子の説明図。

【図12】図11の固体撮像素子の動作を説明するために示した波形図。

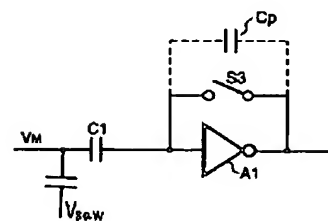
【符号の説明】

RS…リセットスイッチ素子、RD…読み出しスイッチ素子、PD…光電変換素子、Q1…スイッチ素子、13…アナログデジタル変換部、14…基準電圧変換部、15…ラッチ回路、16…カウンタ、17…タイミング回路、S1、S2、S3…スイッチ素子、C1、C2…コンデンサ、A1…インバータ。

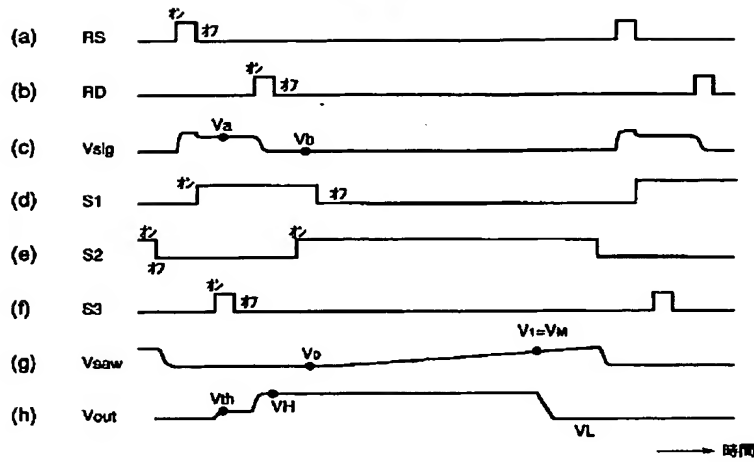
【図3】



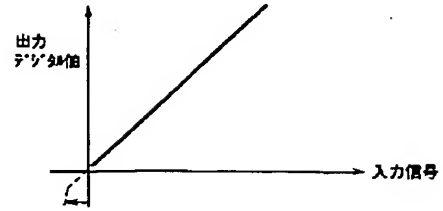
【図4】



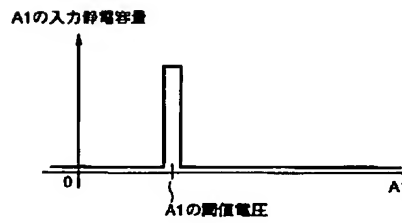
【図2】



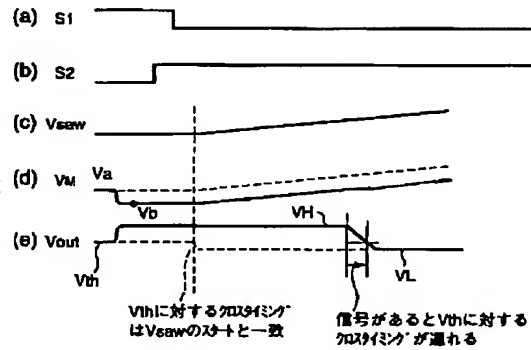
【図8】



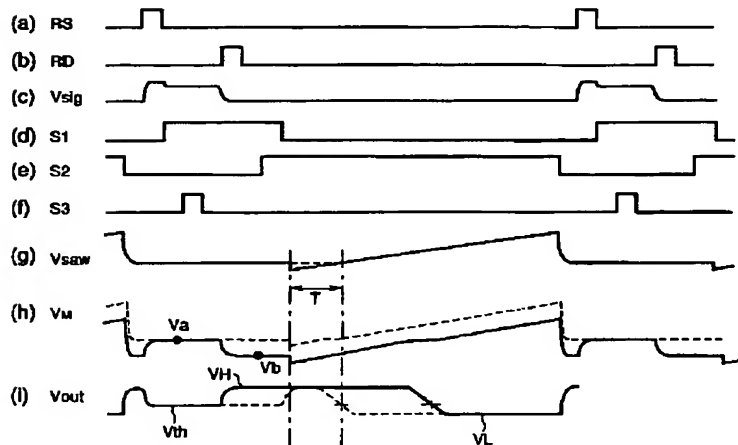
【図5】



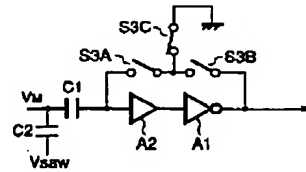
【図6】



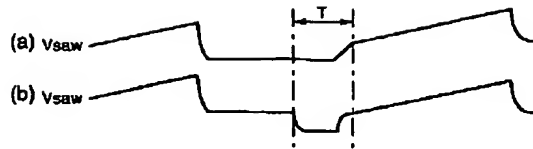
【図7】



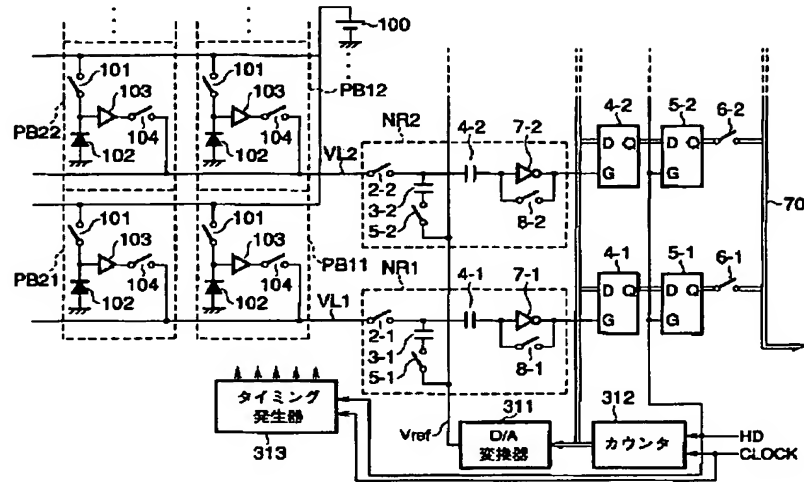
【図10】



【図9】



【図11】



【図12】

